

BREVATOME

10/574315

IP20 Rec'd PCTO 30 MAR 2006

TRADEMARKS - MARQUES - DÉPOSER - PATENT LAWYERS - TRADE MARKS - DÉPOSER - PATENT LAWYERS

BUREAU DE PARIS
PARIS HEAD OFFICE

Date : 8 septembre 2005

OFFICE EUROPÉEN DES BREVETS
Patentlaan 2
2288 EE RIJSWIJK
PAYS-BAS
A l'attention de M. Bosch Vivancos, P.

OBJET : Demande internationale
N° PCT/FR 2004/050473 du 30/09/2004

V.REF : --

N.REF : B 14306.3/HM
B 1381 HM/dm

Déposant : CEA

PAR TÉLÉCOPIE
CONFIRMATION PAR COURRIER

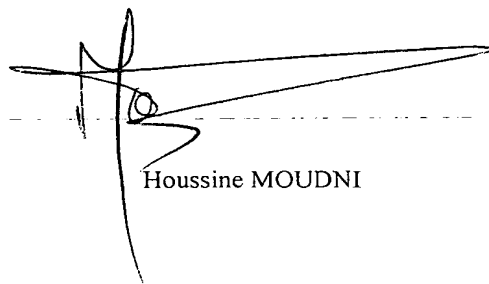
RÉPONSE A L' OPINION ÉCRITE
Date limite : 8 SEPTEMBRE 2005

Messieurs,

En réponse à l'opinion écrite du 8 juin 2005, concernant la demande de brevet référencée ci-dessus, nous vous prions de bien vouloir trouver, ci-joint, nos commentaires.

Vous trouverez, également jointe à ce courrier, une demande d'examen international pour la demande de brevet citée en objet.

Nous vous prions de croire, Messieurs, à l'assurance de notre considération distinguée.



Houssine MOUDNI

P.J.

Best Available Copy

BREVATOME**IP20 Rec'd PCT/PTO 30 MAR 2006**

V/Ref. : --

N/Ref. : B 14306.3/HM

N° de la demande : PCT/FR 2004/050473 du 30/09/2004

COMMENTAIRES**I - Rappel de l'objet de la demande -**

L'invention relève du domaine des composants reconfigurables dynamiques dédiés au traitement de données, notamment pour l'exécution des instructions correspondant aux diverses tâches d'une application.

L'invention concerne plus spécifiquement un composant à architecture reconfigurable dynamiquement pour le traitement de données comportant un bloc de traitement de données TD et un contrôleur général CG apte à contrôler le bloc TD.

Ce composant se caractérise par le fait que :

- le bloc TD comprend une pluralité de blocs élémentaires de traitement de données BE reconfigurables ; chaque bloc élémentaire BE comprenant deux entrées, E1 et E2, pour la réception de données à traiter, et une sortie S pour la transmission de données traitées ; un bus de données d'entrée commun étant apte à transmettre des données à traiter à l'entrée E1 de chacun des blocs BE ainsi qu'à un contrôleur CG apte à contrôler le bloc TD ; pour chaque bloc BE, un bus de données de sortie, connecté à sa sortie S, étant apte à transmettre des données traitées vers l'extérieur du composant et, par un bus de données dérivé, à l'entrée E2 d'un seul autre bloc BE ;
- le contrôleur CG est apte à initialiser les configurations des blocs BE et commander leur reconfiguration dynamique, à contrôler les flux de données en sortie de chaque bloc BE de façon à transmettre des données soit vers l'extérieur soit vers l'entrée E2 d'un autre bloc BE, à contrôler les flux de données en entrée de chaque bloc BE.

II - Étude des documents cités dans le Rapport de Recherche Internationale**1) - US 5892 962 A (Cloutier) (D1)**

Ce document décrit un multi-processeur comprenant une pluralité de blocs élémentaires (FPGA) reconfigurables dynamiquement pour fonctionner en tant qu'un ou plusieurs éléments de traitements (PEs) (équivalent au bloc TD) et un contrôleur général CG (process controller 108, revendication 1). Chaque bloc élémentaire (FPGA) comprenant deux entrées, (DATA FROM I/O CONTROLLER et E2 (figure 2) et WEST CONNECTION) et une sortie S (EST CONNECTION et WEST CONNECTION).

Un bus de donnée commun (global bus 114, colonne 2, ligne 56 à 59) relié à l'entrée E1 de chaque bloc élémentaire ainsi qu'au contrôleur CG (figure 1).

Ce document ne décrit pas la caractéristique du composant selon l'invention selon laquelle pour chaque bloc BE, un bus de données de sortie, connecté à sa sortie S, est apte à transmettre des données traitées vers l'extérieur du composant.

V/Ref. : --

N/Ref. : B 14306.3/HM

N° de la demande : PCT/FR 2004/050473 du 30/09/2004

En effet, la sortie SOUTH CONNECTION ne relie pas le bloc BE (FPGA) à l'extérieur du composant. Cette sortie relie chaque FPGA à un autre FPGA située sur la ligne suivante de la matrice constituée par l'ensemble des FPGA et qui représente le composant à architecture reconfigurable. L'architecture résultant de la combinaison des blocs FPGA est par conséquent structurellement et fonctionnellement différente de celle de l'invention.

Par conséquent la revendication 1 est nouvelle par rapport au document D1.

La revendication 1 est également nouvelle par rapport à D2 (Altera) et à D3 (Fuji) (dans la mesure où aucun de ces documents ne décrit un composant reconfigurable dynamiquement dans lequel chaque bloc élémentaire BE comprend deux entrées, E1 et E2, pour la réception de données à traiter, et une sortie S pour la transmission de données traitées; un bus de données d'entrée commun étant apte à transmettre des données à traiter à l'entrée E1 de chacun des blocs BE ainsi qu'à un contrôleur CG apte à contrôler le bloc TD; pour chaque bloc BE, un bus de données de sortie, connecté à sa sortie S, étant apte à transmettre des données traitées vers l'extérieur du composant et, par un bus de données dérivé, à l'entrée E2 d'un seul autre bloc BE

2) - FLEX 8000 Programmable Logic Device Family Data Sheet

L'architecture décrite dans le document D2 (ALTERA) comporte des blocs de traitement de données LE₁, ... LE₈ en cascade dont les sorties respectives sont connectées à une même sortie (column-to-row interconnect).

Cette architecture est fondamentalement différente de celle de la revendication 1 comportant pour chaque bloc BE, un bus de données de sortie, connecté à sa sortie S apte à transmettre des données traitées vers l'extérieur du composant et un bus de données dérivé, à l'entrée E2 d'un seul autre bloc BE.

La revendication 1 est nouvelle par rapport à ce document D2.

3) - A dynamically Reconfigurable Logic Engine with a Multi-Context/Multi Mode Unified Cell Architecture

Ce document décrit une architecture reconfigurable dans laquelle des blocs de traitement ne sont pas reliés à un bus de données de sortie apte à transmettre des données traitées vers l'extérieur du composant. En outre, cette architecture ne comporte pas de bus de données dérivé permettant de relier la sortie de chaque bloc à l'entrée d'un autre bloc.

La revendication 1 est nouvelle par rapport à ce document.

III - Conclusion -

La revendication 1 est nouvelle par rapport à chacun des documents D1, D2 et d3.